

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-324401

(43)Date of publication of application : 24.11.2000

(51)Int.Cl.

H04N 5/335

(21)Application number : 11-127722

(71)Applicant : SHARP CORP

(22)Date of filing : 07.05.1999

(72)Inventor : OKADA HISAO  
YAMANE YASUKUNI

## (54) IMAGE SENSOR AND ITS DATA PROCESSING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To read the accurate signal charge value by correcting the total value of leakage charge that is added to the signal charge value flowing out of the pixel which is being read by a plane type image sensor having a two-dimensional matrix structure.

**SOLUTION:** A reading operation is carried out while all switches are kept in the OFF states in terms of a correction cycle, and the initial value of offset correction value due to the leakage charge value is calculated as the offset correction value. Then the reading cycle of the  $i$ -th line (the initial value of  $i$  is 1) is carried out and the offset correction value is subtracted from the read charge value to decide the data charge of the  $i$ -th line. On the basis of the data charge of the  $i$ -th line, the charge value with which the stored capacity of the  $i$ -th line attributed to the leakage charge value is decided. This charge value is subtracted from the offset correction value to update the offset correction value. This action is repeated ( $i$  set successively at 2, 3, ...,  $m$ ) to successively decide the data charge of the  $i$ -th line and to decide the data charge of all pixels.

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*fig 2-4*

*Vol tag amplifier  
circuit*

*Chn 12-18*

**THIS PAGE BLANK (USPTO)**

**THIS PAGE BLANK (USPTO)**

English Translation of what is presently  
understood to be the relevant passages of Japanese  
Unexamined patent publication No.2000-324401

The following is an English translation of what is presently understood to be the relevant passages of the above-identified publication.

The above publication relates to a plane image sensor having a two-dimensional matrix structure that obtains the image data by converting the light into charges stored and relates to its data processing method. The above publication is suitable for a CCD, MOS sensor, or other devices and is suitable especially for an X-ray sensor.

Figure 3 is a schematic diagram showing a general image sensor having a two-dimensional matrix structure. In this image sensor 48, provided on a glass substrate 50 are a photoelectric conversion layer 54 and a bias

**THIS PAGE BLANK (USPTO)**

electrode 52. The photoelectric conversion layer 54 is formed by a selenium for example. The bias electrode 52 is formed by a conductive layer such as metal film that transmits the light (X-rays). On the surface of the glass substrate 50 that is on the side of the photoelectric conversion layer 54, provided are pixel electrodes 56 that are disposed in a matrix manner, accumulated capacity 17, switching elements 18, scanning lines (column lines) 10, and read-out lines (row lines) 12. The scanning lines 10 and the read-out lines 12 are connected with a scanning line driver 14 and a read-out circuit 16, respectively.

The pixel electrode 56 is connected with the read-out line 12 through the switching element 18. The switching operation of the switching element 18 is carried out in response to a signal sent from the scanning line 10. Accordingly, in the case of a thin film transistor (hereinafter referred to as TFT) generally used as the switching element, the source terminal, the drain terminal, and the gate terminal of the TFT are connected with the pixel electrode 56, the read-out line 12, and the scanning line 10, respectively. Note that the following description deals with the case where the TFT 18 is used as the switching element 18.

Figure 4 is a sectional view taken along line A-A

**THIS PAGE BLANK (USPTO)**

of Figure 3. An opposed electrode 60 (auxiliary electrode) is provided in a position facing the pixel electrode 56 through an insulating film 58. An accumulating capacity 17 is formed between the opposed electrode 60 and the pixel electrode 56. The opposed electrode 60 is wired so that a common reference voltage  $V_{ref}$  is applied to every pixel 22. The bias electrode 52 is provided so that a high voltage such as a few hundred voltages can be applied with respect to the opposed electrode 60.

When a photon 68 is incident on the side of the bias electrode 52, the photon 68 that has transmitted through the bias electrode 52 causes to generate an electron-hole pair in the photoelectric conversion layer 54. When a voltage having a positive polarity is applied to the bias electrode 52, holes move toward the pixel electrode 56. When a voltage having a negative polarity is applied to the bias electrode 52, electrons move toward the pixel electrode 56. This allows the holes or electrons to reach the pixel electrode 56 in a position corresponding to the incident of the photon 68. The holes or electrons are held by the accumulating capacity 17.

The holes or electrons held by the accumulating capacity 17 (hereinafter referred to as signal charges) moves to the read-out line 12 when the TFT 18 is in an ON

**THIS PAGE BLANK (USPTO)**

**THIS PAGE BLANK (USPTO)**



state. The signal charges are read out by the read-out circuit 16 connected with the read-out line 12.

When the scanning line driver 14 outputs a signal of high level to a predetermined scanning line 10, all the TFTs 18 connected with the scanning line 10 turn ON. This allows the signal charges held by each accumulating capacity 17 moves to its associated read-out line 12. When scanning line driver 14 consecutively outputs a signal of high level to each scanning line 10, the data of all the pixel electrodes 56 so as to read the image data corresponding to one page. Note that the operation of the switching is dealt with in accordance with the positive logic so that the switch turns ON upon receipt of a signal of high level. However, it is well known that the similar operation is carried out even in the case of the negative logic.

The following description deals with the read-out circuit 16 for use in the foregoing image sensor 48. Figure 5 is a circuit diagram showing a basic structure of a charge sensitive amplifier (hereinafter referred to as CSA) 20 that is used for reading out the charge amount. An inverted input terminal and an output terminal of an operational amplifier 20a are connected with each other through a feedback capacity 20b, thereby forming a feedback circuit. A reset switch 20c is connected in

**THIS PAGE BLANK (USPTO)**

parallel with the feedback capacity 20b. The reset operation can be made by discharging the electric charges accumulated by the feedback capacity 20b. The read-out line 12 is connected with the inverted input terminal of the operational amplifier 20a and the reference voltage  $V_{ref}$  is applied to its non-inverted input terminal. The following description deals with the case where the reference voltage  $V_{ref}$  is grounded as long as no specific explanation is made.

Figure 7 is an equivalent circuit for reading out a single pixel 22 including the TFT 18 and the accumulated capacity 17. Figure 8 is a timing chart for the read-out operations and is also a graph showing an output voltage of the CSA 20. In Figure 7, the pixel 22 is assumed to be connected with a scanning line 10i (a scanning line 10 of the i-th column) and a read-out line 12j (a read-out line 12 of the j-th row). In Figure 8,  $G(i)$  indicates a signal to be outputted to the scanning line 10i, and  $Rst$  indicates a signal to be outputted to the reset switch 20c.

The read-out operation starts by turning ON the reset switch 20c. This allows to discharge and reset the electric charges accumulated by the feedback capacity 20b so that the output voltage of the CSA 20 becomes  $V_{ref}$  (GND) (period A). When the high level signal of  $G(i)$

**THIS PAGE BLANK (USPTO)**

allows the TFT 18 to turn ON, the signal charge ( $-Q$ ) accumulated by the accumulated capacity 17 moves to the read-out line 12j, thereby resulting in that the signal charge ( $-Q$ ) appears on one of the electrodes of the feedback capacity 20b with which the inverted input terminal is connected and that the signal charge ( $+Q$ ) which is the same charge amount as the signal charge ( $-Q$ ) and the polarity reverse to the signal charge ( $-Q$ ) appears on the other electrode of the feedback capacity 20b. Thus, the output of the CSA 20 becomes a voltage that is obtained by dividing the signal charge  $Q$  by the capacity of the feedback capacity 20b (period B). By reading out such a voltage during a period (i.e., period C) until the next read-out cycle starts, it is possible to detect a signal charge amount as a voltage. Note that the voltage exponentially changes in general, but in Figure 8 the voltage linearly changes for the convenience sake. The following description are made under the presumption as long as no specific explanation is made.

The following description briefly deals with a method for reading out a voltage that is so-called a Correlated Double Sampling (hereinafter referred to as CDS). If the read-out circuit system including the TFT 18 is perfect, the voltage that has been read out during the period C must correspond to the signal charge amount with

**THIS PAGE BLANK (USPTO)**

precise. However, in actual, the output signal of the CSA 20 does not perfectly become  $V_{ref}$  (GND) during a period D between the periods A and B, thereby causing an offset voltage. The following are the reasons why such an offset voltage occurs: (a) an offset voltage of the operational amplifier 20a itself; (b)  $1/f$  noise that is a noise which the operational amplifier 20a itself generates in the lower frequency band; (c) a feed-through phenomenon occurred when the reset switch 20c of the CSA 20 is constituted by MOS switches; and other reasons. The feed-through phenomenon is the phenomenon that is essentially peculiar to the MOS switches. According to the phenomenon, the channel charges bound during an ON-state by the capacity formed between the gate and the source and by the capacity formed between the gate and the drain are released in response to the decrease of the gate voltage so as to flow toward the circuit of the drain and the gate.

According to the CDS, the voltage of the CSA 20 is read out in accordance with the timing shown as Smp 1 and Smp 2 in Figure 8 and the difference between the voltages that have been read out in accordance with the timings Smp2 and Smp1 is found so as to find the voltage charge amount (i.e., the change amount of the voltages) of the CSA 20 with precise. An offset voltage during the

**THIS PAGE BLANK (USPTO)**



period D can be removed by the CDS. More specifically, by carrying out the CDS, it is regarded as equivalent that the voltage is read out only once during the period C in an idealistic circuit system in which the offset voltage becomes zero during the period D.

The following description is under the presumption that the CDS is carried out as long as no specified explanation exists. In order to make the description simple, the following description deals with the case where the voltage is read out only once during the period C in an idealistic circuit system that can be regarded as equivalent by carrying out the CDS.

All the Claims of the present invention are seemed to be related to the above-mentioned Japanese Unexamined patent publication No.2000-324401.

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-324401

(P2000-324401A)

(43)公開日 平成12年11月24日(2000. 11. 24)

(51)Int.Cl.

H04N 5/335

識別記号

F I

H04N 5/335

テ-マ-コード(参考)

P 5 C 0 2 4

審査請求 未請求 請求項の数6 O L (全 13 頁)

(21)出願番号

特願平11-127722

(22)出願日

平成11年5月7日(1999. 5. 7)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 岡田 久夫

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 山根 康邦

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

Fターム(参考) 50024 AA01 AA11 CA12 CA18 FA01

FA11 GA11 GA31 GA33 HA07

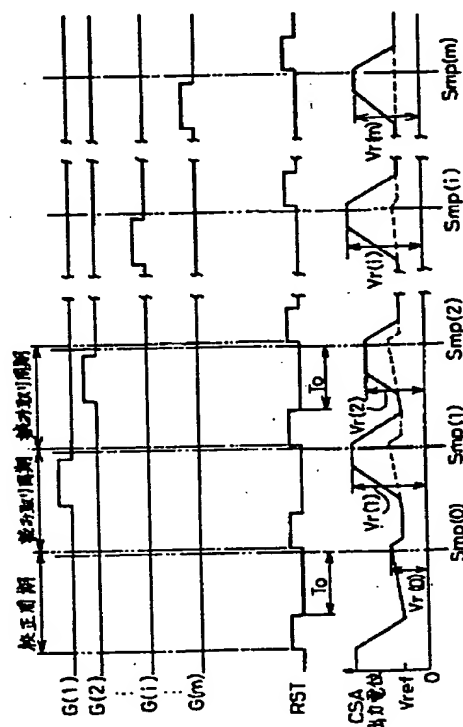
HA08 HA14 HA18

(54)【発明の名称】 画像センサおよびそのデータ処理方法

(57)【要約】

【課題】 画素から読み取った電荷量に対して漏れ電荷の影響を補正して除き、正確なデータ電荷を得る。

【解決手段】 ダミーの読み取り周期として全ての画素のスイッチ素子がオフの状態を読み取りを行い、漏れ電荷量によるオフセットを求めてオフセット補正值とする。第1行の読み取り周期を行い、読み取られた電荷量からオフセット補正值を引くことにより、第1行のデータ電荷を決定する。決定された第1行のデータ電荷に基づいて、第1行の蓄積容量が漏れ電荷量に寄与していた電荷量を決定し、その電荷量をオフセット補正值から引くことによりオフセット補正值を更新する。読み取り周期およびオフセット補正值の更新を順次繰り返し、各画素のデータ電荷を順次決定して漏れ電荷の影響を除いた画像データを得る。



(2)

## 【特許請求の範囲】

【請求項1】2次元行列構造の画像センサのデータ処理方法であって、

読み取り動作の開始に先立ってダミーの読み取り周期を加えることによりオフセット補正値の初期値を決定する第1ステップと、

第1行の読み取り周期においては、前記オフセット補正値によりオフセット補正を行って、データ電荷量を決定する第2ステップと、

前記第2ステップで決定された第1行のデータ電荷量から第1行の画素がオフセット補正値に寄与していた量を決定し、先のオフセット補正値から差し引くことで次の行のオフセット補正値とする第3ステップとを含み、

前記第2ステップと前記第3ステップとを順次繰り返すことを特徴とする画像センサのデータ処理方法。

【請求項2】2次元行列構造の画像センサのデータ処理方法であって、

読み取り動作の開始に先立ってダミーの読み取り周期を加えることによりオフセット補正値の初期値を決定する第1ステップと、

第1行の読み取り周期においては、前記オフセット補正値によりオフセット補正を行って、データ電荷量を決定する第2ステップと、

前記第2ステップで決定された第1行のデータ電荷量から第1行の画素がオフセット補正値に寄与していた量を決定し、先のオフセット補正値から差し引くことで次の行のオフセット補正値とする第3ステップと、

前記第2ステップと前記第3ステップとを順次繰り返し、予め決定された数の行のデータを読み取った後、次の行の読み取りに先立って新たにダミーの読み取り周期を挿入し、そこで得られた値を新たなオフセット補正値の初期値として用いる第4ステップと、

その次の行の読み取り周期においては、第4ステップで得られた値を補正値としてオフセット補正を行って、データ電荷量を決定する第5ステップと、

前記第5ステップで決定された当該行のデータ電荷量から当該行の画素がオフセット補正値に寄与していた量を決定し、先のオフセット補正値から差し引くことでその次の行のオフセット補正値とする第6ステップとを含み、

前記第5ステップと前記第6ステップとを順次繰り返すことを特徴とする画像センサのデータ処理方法。

【請求項3】各画素に形成された蓄積容量と、これら複数の蓄積容量のそれぞれとスイッチ素子を介して接続された読み取り線と、該読み取り線と接続された各画素の電荷量を順次画素データとして読み取る電荷読み取り手段とを有する画像センサのデータ処理方法であって、データを読み取る際、前記スイッチ素子が全てオフの状態を読み取りを行う期間を追加し、この期間に読み取られた電荷量をオフセット補正値として次の期間において

画素の電荷量を読み取る際のオフセット補正に用いることを特徴とする画像センサのデータ処理方法。

【請求項4】第 $k$  ( $k$ は2以上の自然数)回目の画素の読み取りの際には、第 $(k-1)$ 回目の読み取りで得た電荷量に基づき順次更新されたオフセット補正値を用いてオフセット補正を行うことにより、順次画素データを読み取ることを特徴とする請求項3に記載の画像センサのデータ処理方法。

【請求項5】請求項3または4に記載のデータ処理方法において、順次画素データを読み取る途中で、再度前記スイッチ素子が全てオフの状態を読み取りを行う期間を設けて、この期間に読み取られた電荷量をオフセット補正値として次の期間において画素の電荷量を読み取る際のオフセット補正に用いることを特徴とする画像センサのデータ処理方法。

【請求項6】請求項1ないし5のいずれかに記載のデータ処理方法を制御する制御装置を有することを特徴とする画像センサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光を電荷に変換して読み取ることにより画像データを取得する2次元行列構造の平面型画像センサおよびそのデータ処理方法に関するものであって、たとえばCCD、MOS型センサなどに適用でき、特にX線センサに好適なものである。

【0002】

【従来の技術】図3は、一般的な2次元行列構造の画像センサの概略図である。この画像センサ48は、ガラス基板50の上に、光電変換層54およびバイアス電極52が形成されて構成されている。光電変換層54は、例えばセレンなどで形成されており、バイアス電極52は光(X線)を透過する金属薄膜などの導体膜で形成されている。ガラス基板50の光電変換層54側の面には、行列状に配置された画素電極56、蓄積容量17およびスイッチ素子18と、走査線(行線)10および読み取り線(列線)12が形成されている。そして、走査線10および読み取り線12は、それぞれ走査線駆動器14および読み取り回路16に接続されている。

【0003】画素電極56はスイッチ素子18を介して読み取り線12に接続されており、スイッチ素子18のスイッチング動作は走査線10から供給される信号により行われる。したがって、スイッチ素子18として一般に用いられる薄膜トランジスタ(以下、TFTと称す)の場合では、TFTのソースは画素電極56に、ドレインは読み取り線12に、ゲートは走査線10にそれぞれ接続されることになる。なお、以下ではスイッチ素子18としてTFT18を用いて説明する。

【0004】図4は、図3におけるA-A線矢視断面図である。絶縁膜58を介して画素電極56と対向する位置に対向電極(補助電極)60が形成されており、画素

(3)

電極56との間で蓄積容量(画素容量)17を構成している。この対向電極60は、全画素22において共通の基準電位( $V_{ref}$ )となるように配線されている。また、バイアス電極52は対向電極60に対して高電圧(例えば、数百ボルト)を印加できるようになっている。

【0005】上記のような画像センサ48に、光子68がバイアス電極52側から入射すると、バイアス電極52を透過した光子68は、光電変換層54において電子と正孔の対を発生させる。ここで、バイアス電極52に正の電圧が印加されているときは正孔が、負の電圧が印加されているときは電子が画素電極56側に移動し、光子68の入射位置に対応する位置にある画素電極56に達する。画素電極56に達した正孔または電子は、蓄積容量17にて保持される。

【0006】蓄積容量17にて保持された正または負の電荷(以下、信号電荷と称す)は、TFT18がオンとなることで読み取り線12に流出し、読み取り線12に接続された読み取り回路16によってその電荷量が読み取られる。

【0007】走査線駆動器14が所定の一本の走査線10にハイの信号を出力すると、その走査線10に接続された全てのTFT18がオン状態となり、各蓄積容量17に保持されている信号電荷が対応するそれぞれの読み取り線12に流出する。走査線駆動器14が各走査線10に順次ハイの信号を出力することで全ての画素電極56のデータが読み取られ、一枚の画像データの読み取りが行われる。なお、ここではスイッチの動作として正論理を用い、信号がハイのときにスイッチがオンするものとして記述してあるが、負論理の場合でも同様に動作することは周知の通りである。

【0008】上記の画像センサ48に用いられる読み取り回路16に関して説明する。図5は、電荷量の読み取りに使われる電荷感応増幅器(Charge Sensitive Amplifier:以下、CSAと称す)20の基本的な構造を表した回路図である。演算増幅器20aの反転入力と出力とは帰還容量20bを介して接続されており、負帰還回路を形成している。また、帰還容量20bと並列にリセットスイッチ20cが接続されており、帰還容量20bに蓄積された電荷を放電してリセットすることができる。読み取り線12は演算増幅器20aの反転入力に接続されており、非反転入力は基準電位 $V_{ref}$ に接続されている。なお、以下の説明では、 $V_{ref}$ は特に断らない限りグラウンド電位GNDであるものとする。

【0009】図7は、TFT18と蓄積容量17を含めた画素22一つ当たりの読み取りの等価回路図であり、図8は読み取り動作のタイミングチャートおよびCSA20の出力電位を表すグラフである。図7において、画素22は第i行目の走査線10である走査線10iおよ

び第j列目の読み取り線12である読み取り線12jに接続された画素22であるものとする。図8で、G(i)は走査線10iに出力される信号を表し、また、Rstはリセットスイッチ20cに出力される信号を表す。

【0010】読み取り動作は、まずリセットスイッチ20cがオンとなることで開始される。これによりそれ以前の動作で帰還容量20bに蓄積されていた電荷を放電してリセットし、CSA20の出力電位は $V_{ref}$ (GND)となる(A期間)。次に、G(i)にハイの信号が出力されてTFT18がオンとなり、蓄積容量17に蓄積されていた信号電荷(-Q)が読み取り線12jに流出し、それと等量の電荷(-Q)が帰還容量20bの、演算増幅器20aの反転入力に接続された電極に、また等量で逆極性の電荷(+Q)がもう一方の電極に現れる。結局、CSA20の出力には、信号電荷であるQを帰還容量20bの容量値で割った電位が現れる(B期間)。この電位を次の読み取り周期が開始するまでの間(C期間)に読み取ることで、信号電荷量を電位として検出できる。なお、この場合の電位変化は一般的には指数関数的に変化するが、図8では説明の便宜上直線的に変化するものとして表している。以下の説明においても特に断らない限り同様である。

【0011】ここで、相関2重サンプリング(Correlated Double Sampling:以下、CDSと称す)と呼ばれる電位の読み取り技法について簡単に説明する。もしTFT18を含めた読み取り回路系が完全であれば、C期間で読み取られた電位は正確に信号電荷量に相当するはずである。しかしながら、実際にはA期間とB期間の間のD期間において、CSA20の出力電位は完全に $V_{ref}$ (GND)とはならず、オフセットが存在する。オフセットの要因としては、演算増幅器20a自体のオフセット、演算増幅器20a自体が発生する低周波域での雑音である $1/24/f$ 雑音、CSA20のリセットスイッチ20cがMOSスイッチで形成された場合のフィードスルー現象などがある。フィードスルー現象とは、MOSスイッチに本質的に付随する現象であり、オン時にゲート・ソース間容量とゲート・ドレイン間容量によって拘束されていたチャネル電荷が、ゲート電圧が下がることによってその拘束を解かれ、ドレインとソースの回路側に流出する現象をいう。

【0012】CDSとは図8のSmp1とSmp2で示したタイミングでCSA20の電位を読み取り、Smp2で読み取った電位とSmp1で読み取った電位の差を求めることで、Smp1とSmp2との間の期間でのCSA20の電位変動量(すなわち電荷の変動量)を正確に求めようとする技法である。ここで、D期間に存在するオフセットはCDSによって除去できる。すなわち、CDSを行うことにより、D期間におけるオフセットが

(4)

0という理想回路系においてC期間に1回のみ電位を読み取る場合と等価として扱える。

【0013】以下では、特に断らない限りCDSを行うことを前提とするが、説明を単純化するため、CDSにより等価として扱える理想回路系において読み取りをC期間にのみ1回行うものとして説明する。

【0014】

【発明が解決しようとする課題】CDSを行うことにより上記のD期間に存在するオフセットの影響は除去することができるが、B期間およびC期間に生じるオフセットを除去することはできない。B期間およびC期間に生じるオフセットとして重大なものに漏れ電荷の存在がある。以下において、漏れ電荷の影響について説明する。

【0015】図9は、読み取り線12jにおいて第1行目(第1走査線)の画素22を読み取っているとき(すなわち、第1行目のTFT18のみオンで、他の全てのTFT18はオフのとき)の等価回路図である。この等価回路図において、もしTFT18のオフ抵抗(ゲートがオフの状態におけるソースドレイン間の抵抗)が無限大であれば、第1行目の画素22の蓄積容量17i以外は回路系から完全に遮断され、蓄積容量17iから流出する電荷のみが帰還容量20bに現れるはずである。しかし実際にはTFT18のオフ抵抗は有限の値を有しているため、TFT18がオフである画素22からもわずかながら読み取り線12jとの間で電荷の移動(この電荷を以下、漏れ電荷と称す)を生じてしまう。

【0016】漏れ電荷の総量は、TFT18がオフ状態にある全ての画素22の漏れ電荷の総和であり、センサの行数は例えば3000本というように極めて大きいため、1つの画素22からの漏れ電荷はわずかであっても、漏れ電荷の総量としては読み取ろうとする信号電荷に対して無視できないほど大きくなってしまふ。

【0017】図10は、漏れ電荷を考慮したCSA20の出力電位の変化を誇張して表したグラフである。なお、D期間においては、前述したCDSを行うことでその期間における電荷変動を取り除くことができるので、図10では、D期間の電位変動はないものとして表している。

【0018】従来の方法では、信号電荷のみによる電位変動分(図8のCSA20の出力に相当)は①であるのに対して、漏れ電荷による電位変動分②が存在するため、実際に読み取られる電位は①と②との和である③となってしまふ。つまり、CSA20の帰還容量20bに蓄積される電荷量は、読み取り中の画素22から流出する信号電荷量に、漏れ電荷の総量がオフセットとして加わったものとなってしまふ。このため、入射光量に対して正確なデータが得られないという問題があった。

【0019】この問題は、特に医療用X線画像診断装置に用いられる画像センサ48において重大である。医療用X線画像診断装置の様態には、静止画としてのX線写

真を得るための撮影モードと実時間での動画像を得るための透視モードとがある。透視モードにおいては、長時間患者にX線を照射し続ける必要があるため、可能な限りX線の照射強度を弱くして患者への被爆線量を下げる必要がある。可能な限りとは、要するに画像センサ48の検知限界まで弱く、ということである。その場合の画像センサ48を構成する画素22の蓄積容量17に充電される電荷(信号電荷)は極めて微量となってしまふ。したがって、上記漏れ電荷の影響により画像センサ48のX線に対する最小検知限界値が大きくなると、診断に必要な画像を得るために患者に照射するX線の照射強度を強くしなければならないという問題を引き起こしていた。

【0020】本発明の目的は、読み取り中の画素から流出する信号電荷量にオフセットとして加わる漏れ電荷の総量を補正することにより、正確な信号電荷量を読み取ることが可能な画像センサおよびそのデータ処理方法を提供することにある。

【0021】

【課題を解決するための手段】本発明の請求項1に係る画像センサのデータ処理方法は、2次元行列構造の画像センサのデータ処理方法であって、読み取り動作の開始に先立ってダミーの読み取り周期を加えることによりオフセット補正值の初期値を決定する第1ステップと、第1行の読み取り周期においては、前記オフセット補正值によりオフセット補正を行って、データ電荷量を決定する第2ステップと、前記第2ステップで決定された第1行のデータ電荷量から第1行の画素がオフセット補正值に寄与していた量を決定し、先のオフセット補正值から差し引くことで次の行のオフセット補正值とする第3ステップとを含み、前記第2ステップと前記第3ステップとを順次繰り返すことを特徴としている。

【0022】上記の方法では、第1行の読み取り周期に先立って、第1ステップにおいてダミーの読み取り周期(読み取りの際に発生する漏れ電荷量のみを読み取る周期)によって読み取られた値をオフセット補正值の初期値とすることができる。

【0023】次に第2ステップにおいて第1行の読み取り周期によって読み取られた値は、第1行の画素が画像データとして有していた信号電荷量と漏れ電荷の総和とを加えた値である。したがって、読み取られた電荷量から前記オフセット補正值を引くことにより、第1行の画素に蓄積されていた信号電荷量を得ることができる。ここで、厳密には前記オフセット補正值は全画素からの漏れ電荷を含むため、第1行の画素を読み取る際の実際のオフセット値に対して、第1ステップで第1行の画素から生じていた漏れ電荷分(オフセット補正值に対する第1行の画素の寄与分)に相当する誤差を有することになる。しかし、漏れ電荷を生じている画素の数は非常に大きいため、一つの画素の漏れ電荷量による誤差は無視で

(5)

きる程度である。そこで、第1ステップで得られたオフセット補正値を用いて補正を行うことにより、第1行の画素のデータ電荷量を決定することができる。

【0024】次に第3ステップにおいて第1行のデータ電荷量に基づいて第1行の画素がオフセット補正値の初期値に寄与していた量を決定し、オフセット補正値から差し引くことによって、オフセット補正値を更新する。そして、第2ステップおよび第3ステップを各行に対して順次繰り返す。ここで、各ステップで用いるオフセット補正値はその直前の読み取り周期における第3ステップにより更新されたオフセット補正値を用いるので、厳密に言えば、現在読み取り中の画素がオフセットに寄与していた量が誤差として存在してはいるものの（オフセットの総量に対しては極めて僅かなので）、このときのオフセット補正値は各行の読み取り時における実際の漏れ電荷の量に相当していると考えてよい。このため、各行において適切な補正をすることができ、正確なデータ電荷を得ることができる。

【0025】本発明の請求項2に係る画像センサのデータ処理方法は、2次元行列構造の画像センサーのデータ処理方法であって、読み取り動作の開始に先立ってダミーの読み取り周期を加えることによりオフセット補正値の初期値を決定する第1ステップと、第1行の読み取り周期においては、前記オフセット補正値によりオフセット補正を行って、データ電荷量を決定する第2ステップと、前記第2ステップで決定された第1行のデータ電荷量から第1行の画素がオフセット補正値に寄与していた量を決定し、先のオフセット補正値から差し引くことで次の行のオフセット補正値とする第3ステップと、前記第2ステップと前記第3ステップとを順次繰り返す、予め決定された数の行のデータを読み取った後、次の行の読み取りに先立って新たにダミーの読み取り周期を挿入し、そこで得られた値を新たなオフセット補正値の初期値として用いる第4ステップと、その次の行の読み取り周期においては、第4ステップで得られた値を補正値としてオフセット補正を行って、データ電荷量を決定する第5ステップと、前記第5ステップで決定された当該行のデータ電荷量から当該行の画素がオフセット補正値に寄与していた量を決定し、先のオフセット補正値から差し引くことでその次の行のオフセット補正値とする第6ステップとを含み、前記第5ステップと前記第6ステップとを順次繰り返すことを特徴としている。

【0026】上記の方法では、各行の読み取りとオフセット補正値の更新が順次繰り返し行われる途中に、新たにダミーの読み取り周期を加えることで、実際の漏れ電荷を読み取ることによるオフセット補正値の更新を行うことができる。各行のデータ電荷に基づきオフセット補正値の更新を行う場合は、オフセット補正値の更新時に誤差を含む。この誤差は更新が繰り返されることにより積算され、その積算された誤差が無視できない程度にな

り得る場合がある。このような場合であっても、あらかじめ定めた適当なタイミングでダミーの読み取り周期を実行することによりオフセット補正値をさらに更新して積算された誤差をキャンセルすることができる。

【0027】本発明の請求項3に係る画像センサのデータ処理方法は、各画素に形成された蓄積容量と、これら複数の蓄積容量のそれぞれとスイッチ素子を介して接続された読み取り線と、該読み取り線と接続され各画素の電荷量を順次画像データとして読み取る電荷読み取り手段とを有する画像センサのデータ処理方法であって、データを読み取る際、前記スイッチ素子が全てオフの状態で行う読み取りを行う期間を追加し、この期間に読み取られた電荷量をオフセット補正値として次の期間において画素の電荷量を読み取る際のオフセット補正に用いることを特徴としている。

【0028】上記の方法では、データを読み取る際にスイッチ素子が全てオフの状態で行う読み取りを行うことにより、各スイッチ素子がオフの状態が発生する漏れ電荷の総和を得ることができる。得られた電荷量をオフセット補正値とすると、次の期間において画素の電荷量を読み取る際に含まれる漏れ電荷によるオフセット値は、先に求めたオフセット補正値に相当することから、このオフセット補正値により補正を行うことで、正確なデータ電荷を得ることができる。

【0029】本発明の請求項4に係る画像センサのデータ処理方法は、請求項3の画像センサのデータ処理方法において、第 $k$  ( $k$ は2以上の自然数) 回目の画素の読み取りの際には、第 $(k-1)$  回目の読み取りで得た電荷量に基づき順次更新されたオフセット補正値を用いてオフセット補正を行うことにより、順次画素データを読み取ることが好ましい。

【0030】上記の方法では、各画素データの読み取りを行うごとにオフセット補正値を順次更新するため、オフセット補正値は常に読み取りが行われていない画素（電荷が残っている画素）からの漏れ電荷の総和に相当する。そして、読み取られた値に対して更新されたオフセット補正値によって補正を行うことにより常に正確なデータ電荷を得ることができる。

【0031】本発明の請求項5に係る画像センサのデータ処理方法は、請求項3または4の画像センサのデータ処理方法において、順次画素データを読み取る途中で、再度前記スイッチ素子が全てオフの状態で行う読み取りを行う期間を設けて、この期間に読み取られた電荷量をオフセット補正値として次の期間において画素の電荷量を読み取る際のオフセット補正に用いることが好ましい。

【0032】上記の方法では、再度スイッチ素子が全てオフの状態で行う読み取りを行う期間を設けて、この期間に読み取られた電荷量を新たにオフセット補正値とすることにより、オフセット補正値に生じた誤差をキャンセルし再度適切なオフセット補正値に更新することができる。

(6)

る。

【0033】本発明の請求項6に係る画像センサは、請求項1ないし5のいずれかに記載のデータ処理方法を制御する制御装置を有することを特徴としている。

【0034】上記の構成では、請求項1ないし5のいずれかに記載のデータ処理方法を制御装置により制御して実行することができる。これにより、画像センサが自動的に漏れ電荷に起因するオフセットを補正して画像データとすることができる。

【0035】

【発明の実施の形態】本発明の実施の一形態について図1ないし図6に基づいて説明すれば、以下の通りである。

【0036】図2は、本実施の形態に係る画像センサの回路図である。本画像センサは $m$ 本の走査線（行線）10および $n$ 本の読み取り線（列線）12と（ $m$ 、 $n$ は自然数）、 $m \times n$ 個の行列状に配置された画素22を有している。ここで、各読み取り線12は同時に同じ動作をするため、図2では第 $j$ 列目（ $j$ は1以上、 $n$ 以下の整数）に関する画素22のみ表示し、他は第 $j$ 列目と同様とする。また、画素22に相当する部分は従来の技術において説明に用いた図3および図4と同様の構成であり、図2においては蓄積容量17およびTFT18のみを表示している。

【0037】走査線10の第 $i$ 行目（ $i$ は1以上、 $m$ 以下の整数）に接続されている蓄積容量17を蓄積容量 $C_i$ およびTFT（スイッチ素子）18をスイッチ $T_i$ と表す。蓄積容量 $C_i$ の一方の電極には基準電位 $V_{ref}$ が印加されており、他方の電極はスイッチ $T_i$ のソースに接続されている。スイッチ $T_i$ のドレインは各読み取り線12に接続されており、ゲートは各走査線10に接続されている。走査線10は走査線駆動器14に接続されている。読み取り線12は読み取り回路（電荷読み取り手段）16に形成されているCSA20の入力に接続されており、CSA20の出力は電位読み取り回路16aに接続されている。

【0038】CSA20は従来の技術において説明に用いた図5と同様の構成であり、演算増幅器20a、帰還容量20bおよびリセットスイッチ20cを有している。また、演算増幅器20aの非反転入力には基準電位 $V_{ref}$ が印加されている。これにより、CSA20は出力として帰還容量20bの両端に生じる電位差と $V_{ref}$ の和に相当する電位を生じる。

【0039】電位読み取り回路16aに関して、その構成の一例を図6を用いて説明する。図6は、電位読み取り回路16aの基本的な構造を表した回路図である。CSA20の出力は必要に応じて主増幅器MAに入力され、適当な電圧に増幅された後、サンプルホールド回路S/Hに電圧情報として記憶される。記憶された電圧はA/D変換器ADCによってデジタルデータに変換さ

れる。それ以後の処理はこのデジタルデータを用いて行うことが前提である。

【0040】走査線駆動器14および読み取り回路16は制御装置24によって制御される。また、制御装置24は記憶装置24aおよび演算装置24bをも制御するように設置されている。

【0041】図1は、本画像センサ回路の動作を表すタイミングチャートおよび動作に対応したCSA20の出力電位を表すグラフである。ここで、 $G(i)$ は、走査線駆動器14から走査線10の第 $i$ 行目に出力される信号を表すタイミングチャートであり、信号がハイのときスイッチ $T_i$ のゲートがオンされ、蓄積容量 $C_i$ に蓄積された信号電荷が帰還容量20bに移動する。また、 $R_{st}$ はリセットスイッチ20cに出力される信号を表すタイミングチャートであり、信号がハイのときリセットスイッチ20cがオンされることにより、帰還容量20bに蓄積された電荷量が0になり、CSA20がリセットされる。 $Smp(k)$ （ $k$ は自然数）は電位読み取り回路16aによる第 $k$ 次の電位の読み取りのタイミングを表す。CSA20の出力電位 $V$ を表すグラフにおいて、破線は信号電荷読み取り時の漏れ電荷の寄与分を表している。また、ここでは $V_{ref}$ は正の値を有するものとして表している。 $V_r(k)$ は第 $k$ 次の読み取りにおけるCSA20の出力電位、すなわち電位読み取り回路16aが読み取る電位を表す。

【0042】以下の動作は制御装置24により制御され、演算は演算装置24bにより行われ、読み取った結果および演算結果は適宜記憶装置24aに保存されて演算に用いられる。また、以下では、各蓄積容量 $C_i$ からの漏れ電荷量が各蓄積容量 $C_i$ が蓄積している電荷量に比べて十分小さいことから、漏れ電荷が発生しても各蓄積容量 $C_i$ に蓄積されている電荷量には変化がないものとして説明する。

【0043】まず、第1行目の読み取り周期の前に校正周期（ダミーの読み取り周期）に入る。校正周期では、全てのTFT18がオフ状態のままで第0次の読み取り動作を実施する（ $Smp(0)$ ）。全てのTFT18がオフであるので、このとき読み取った電位（ $V_r(0)$ ）は漏れ電荷を原因とする電位変化のみである。ここで、帰還容量20bの容量値を $C_f$ とすると、 $Smp(0)$ において読み取られた第 $j$ 列目の全画素22からの漏れ電荷の総和は $C_f \cdot (V_r(0) - V_{ref})$ と表すことができ、これをオフセット補正值の初期値とする。

【0044】次に、第1行目の読み取り周期に入る。走査線10の第1行目にハイの信号が出力されることによりスイッチ $T_1$ がオンになり、蓄積容量 $C_1$ に蓄積されていた信号電荷および漏れ電荷が帰還容量20bに移動する。続いて、スイッチ $T_1$ がオフになり、第1次の読み取り（ $Smp(1)$ ）を行い電位 $V_r(1)$ を読み取



(7)

る。これにより、第1次の読み取り時に帰還容量20bに蓄積されていた電荷量は  $C_f \cdot (V_r(1) - V_{ref})$  と表すことができる。

【0045】ここで、第1次の読み取り時において第1行目の画素22以外は、第0次の読み取り時と同じ状態であり、第j列に含まれる画素数が非常に大きいことから、第1次の読み取り時における漏れ電荷量を上記のオ

$$\begin{aligned} Q(1) &= C_f \cdot (V_r(1) - V_{ref}) - Q_o(1) \\ &= C_f \cdot (V_r(1) - V_r(0)) \end{aligned}$$

となる。Q(1)は、オフセット補正值  $Q_o(1)$  により補正されているため、読み取りを行っている蓄積容量  $C_1$  のみからの電荷量であり、求めようとしている第1行目の信号電荷量に相当する。そこで、この補正された電荷量である  $Q(i)$  を特にデータ電荷と呼ぶことにする。

【0046】ここで、校正周期において第1行目の蓄積容量  $C_1$  から流出した電荷量を考える。蓄積容量  $C_i$  の容量値を全画素共通で  $C_p$  であるとする、最初データ電荷  $Q(1)$  が蓄積容量  $C_1$  に蓄積されていたことにより、蓄積容量  $C_1$  に発生していた電位差は  $Q(1)/C_p$  である。スイッチ  $T_i$  のオフ抵抗を全画素共通で  $R_o$  とし、校正周期において蓄積容量  $C_i$  から流れていた電流(漏れ電流値)を  $I(i)$  とすると、 $I(1)$  は、 $I(1) = Q(1) / (C_p \cdot R_o)$

となる。したがって、第0次の読み取りの前のリセットから第0次の読み取りまでの間の時間(読み取り期間)を  $T_o$  とすると(第k次の読み取りの前のリセットから第k次の読み取りまでの間の時間も  $T_o$  に等しい)、校正周期において第1行目の蓄積容量  $C_1$  から流出した電荷量は  $I(1) \cdot T_o$  となる。

【0047】次に、第2行目の読み取り周期に入る。第2行目の読み取りも第1行目と同様に行われる。ただし、第2行目の読み取りを行う際には第1行目の読み取りがすでに終了しているため、第1行目の蓄積容量  $C_1$  には有意義な量の電荷は残っていない。そのため、第1行目の蓄積容量  $C_1$  からの漏れ電荷は発生していないとみなしてよい。したがって、演算を行う際にはこのことを考慮してオフセット補正值  $Q_o(2)$  を更新する必要がある。校正周期において第1行目の蓄積容量  $C_1$  から流出した電荷量は、上記の通り  $I(1) \cdot T_o$  であったので、オフセット補正值  $Q_o(2)$  を  $Q_o(2) = Q_o(1) - I(1) \cdot T_o$  と更新する。したがって、蓄積容量  $C_2$  のみから移動した電荷、つまり補正されたデータ電荷  $Q(2)$  は、 $Q(2) = C_f \cdot (V_r(2) - V_{ref}) - Q_o(2)$

と求められる。また、校正周期において蓄積容量  $C_2$  から流れていた電流(漏れ電流値)  $I(2)$  は、 $I(2) = Q(2) / (C_p \cdot R_o)$  となる。

フセット補正值の初期値である  $C_f \cdot (V_r(0) - V_{ref})$  としても実質的に問題はない。そこで、第i行目の読み取り時の漏れ電荷による電荷量(オフセット補正值)を  $Q_o(i)$  とすると、 $Q_o(1)$  は、 $Q_o(1) = C_f \cdot (V_r(0) - V_{ref})$  とすることができる。これより、蓄積容量  $C_i$  のみから移動した電荷量を  $Q(i)$  とすると、 $Q(1)$  は、

【0048】同様にして、第3行目の読み取りを行うことにより、オフセット補正值  $Q_o(3)$ 、データ電荷  $Q(3)$ 、漏れ電流値  $I(3)$  は、それぞれ、 $Q_o(3) = Q_o(2) - I(2) \cdot T_o$   
 $Q(3) = C_f \cdot (V_r(3) - V_{ref}) - Q_o(3)$

$$I(3) = Q(3) / (C_p \cdot R_o)$$

となる。

【0049】以下同様の動作を第m行目まで繰り返すことにより、全ての行に対して漏れ電荷によるオフセットの補正が可能となり、全ての行のデータ電荷を得ることができる。上記の演算を第i行目について一般化すると、

$$\begin{aligned} Q_o(i) &= Q_o(i-1) - I(i-1) \cdot T_o \\ Q(i) &= C_f \cdot (V_r(i) - V_{ref}) - Q_o(i) \end{aligned}$$

$$I(i) = Q(i) / (C_p \cdot R_o)$$

ただし、

$$Q_o(0) = C_f \cdot (V_r(0) - V_{ref})$$

$$I(0) = 0$$

であり、信号電荷量に相当するデータ電荷は  $Q(i)$  である。

【0050】以上の一連の処理を各ステップごとにまとめると、以下の(1)ないし(4)となる。

(1) 校正周期として全てのスイッチ  $T_i$  がオフの状態を読み取りを行い、漏れ電荷量によるオフセット補正值の初期値を求めてオフセット補正值とする。

(2) 第i行目(iの初期値は1)の読み取り周期を行い、読み取られた電荷量からオフセット補正值を引くことにより、第i行目のデータ電荷を決定する。

(3) (2)で決定された第i行目のデータ電荷に基づいて、第i行目の蓄積容量  $C_i$  が漏れ電荷量に寄与していた電荷量を決定し、その電荷量をオフセット補正值から引くことによりオフセット補正值を更新する。

(4) (2)および(3)を順次繰り返す(iを順次2、3、…、mとする)ことにより、第i行目のデータ電荷を順次決定して全画素22のデータ電荷を決定する。

【0051】なお、iは走査線が物理的に並んでいる順序を表したのではなく、読み取りを行う行の順番は任意である。

(8)

【0052】上記の漏れ電荷の影響に関して、具体的数値を用いて検討する。1本の読み取り線に関して、読み取り条件として漏れ電流の観点から最も厳しい条件を考える。それは、第1行目の画素22の蓄積容量 $C_1$ の信号電荷が、そのときの光線照射強度において得られる最小量であり、それ以外の全ての画素22の信号電荷が最大量の際に、その第1行目の画素22の読み取りである。そのとき、第1行目から読み取られる信号電荷量は最小で、それ以外の画素22からの漏れ電荷量が最大となるからである。

【0053】全行数が3000行( $m=3000$ )よりなる画像センサにおいて、各画素22の蓄積容量17の容量値 $C_p$ が2[pF]、各画素22のTFT18のオフ抵抗 $R_o$ が $0.5 \times 10^{12}$ [オーム]であり、蓄積容量 $C_1$ 以外の蓄積容量 $C_2$ ないし $C_{3000}$ に光線の照射による信号電荷が蓄積され、最大画素電圧0.1[V]が生じているとする。このとき、蓄積容量 $C_1$ 以外の各蓄積容量17一つ当たりの漏れ電流値 $I(i)$ は、 $I(i) = 0.1 / 0.5 \times 10^{12}$   
 $= 0.2$ [pA]

となる。読み取り期間 $T_o$ が20[μs]であるとする、このときの漏れ電荷の総和に相当する電子数は、電子の電荷量 $1.6 \times 10^{-19}$ [C]を用いて、  
 $(3000-1) \times 0.2$ [pA]  $\times$  20[μs] /  
 $(1.6 \times 10^{-19}$ [C]) = 74975[電子数]  
 となる。すなわち、第1行の読み出し周期における漏れ電流によるオフセットは、最大約75000[電子数]に相当するということである。

【0054】いま、第1行の画素22に蓄積されている信号電荷量が10000[電子数]である場合を考える。このとき、CSA20の読み取りにより得られる情報は85000[電子数]となり、上記補正を行わなければ85000[電子数]より遙に小さい実際の電荷量(10000[電子数])を検出できない。しかし、オフセットが75000[電子数]であるという情報を上記の方法により得ることで、読み取られた情報(85000[電子数])からオフセット(75000[電子数])を引くことにより、正確な情報(10000[電子数])を得ることができる。

【0055】この場合において、補正を行わずに妥当な情報を得るためには、オフセット(75000[電子数])を誤差と見なすことができる程度に、大きな電荷量を発生しうるX線強度が必要となる。

【0056】上記の補正方法により、基本的には全画素22において正確な(信号電荷に対して十分誤差が小さい)データ電荷を得ることができるが、補正による多少の誤差が生じることは否めない。この誤差は、各列において行ごとに積算される。したがって、行末側(読み取り順序の末側)ほど誤差が大きくなる傾向を有する。回路の構成、測定方法、測定条件などによっては、この誤

差が無視できない程度になる場合がある。そこで、本実施の形態の一変形例として、オフセット補正値を複数行ごとに校正する方法について説明する。

【0057】まず、校正周期から第M次の読み取り周期までは、上記と同様の動作を行う。つまり、第0次の読み取り動作においてオフセット補正値の初期値 $Q_o(0)$ を求め、第1次から第M次までの読み取り動作において、オフセット補正値 $Q_o(i-1)$ および漏れ電流値 $I(i-1)$ を用いて第i行目のデータ電荷 $Q(i)$ を求める。

【0058】次に、第(M+1)行目の読み取り周期に入る前に、第0次の校正周期と同様の校正周期を行う。つまり、全てのスイッチ $T_i$ がオフの状態で行き、蓄積容量 $C_{M+1}$ ないし蓄積容量 $C_m$ から生じる漏れ電荷量を求めることにより、オフセット補正値 $Q_o(M+1)$ を校正する。その後、校正したオフセット補正値を用いて第(M+1)行目から第2M行目までの読み取り周期を行う。そして、第(2M+1)行目の読み取り周期に入る前にも、校正周期を行うことによりオフセット補正値の校正を行い、以下同様の動作を繰り返す。

【0059】これを上記(1)ないし(3)のステップで説明すれば、(1)を1回行った後(2)および(3)をM回繰り返すという一連の処理を繰り返す(ただし、iは1からmまで順次増加する)ということである。

【0060】これにより、上記の誤差の積算は最大でM回分に留まるため、適当なMの値を用いることにより誤差を十分小さくすることができる。Mの最小値は1であり、このとき校正周期と読み取り周期を交互に行うことになる。Mの最大値は行の総数であるmであり、これは本実施の形態で最初に示した方法に相当する。

【0061】本実施の形態および本実施の形態の変形例を実際のシステムへ適用する場合においては、必ずしも以上の演算に厳密に拘束されるわけではない。電位読み取り回路16aの構成や読み取り周期の時間配分などにより、それぞれ適当に変形されることはいうまでもない。

【0062】

【発明の効果】以上のように、本発明の請求項1に係る画像センサのデータ処理方法は、2次元行列構造の画像センサのデータ処理方法であって、読み取り動作の開始に先立ってダミーの読み取り周期を加えることによりオフセット補正値の初期値を決定する第1ステップと、第1行の読み取り周期においては、オフセット補正値によりオフセット補正を行って、データ電荷量を決定する第2ステップと、第2ステップで決定された第1行のデータ電荷量から第1行の画素がオフセット補正値に寄与していた量を決定し、先のオフセット補正値から差し引くことで次の行のオフセット補正値とする第3ステップと

(9)

を含み、第2ステップと第3ステップとを順次繰り返す方法である。

【0063】これにより、漏れ電荷に起因するオフセット補正值を求め、そのオフセット補正值を用いて読み取った電荷を補正することにより、正確なデータ電荷を求めることができる。したがって、ある読み取り周期における信号電荷量がその周期における漏れ電荷量より小さい場合でも、データ電荷を得ることが可能となる。また、信号電荷量が漏れ電荷量に比べて大きい場合でも、より正確なデータ電荷量を得ることが可能となる。その結果、画像データ検出のダイナミックレンジを大きくすることができ、より弱い光に対しても正確な画像データを検出する画像センサのデータ処理方法を提供することができるという効果を奏する。

【0064】また、特に医療用X線画像診断装置に対して本発明の画像センサのデータ処理方法を適用した場合、同一のX線強度を照射したときには、従来では検出できなかった微細な光による画像を検出することができる。その結果、診断に必要な情報の精度を向上させることができるという効果を奏する。また逆に、同一精度の画像を得るためには、画像センサに用いられるX線電子正孔対の変換層により決定されるX線の最小強度の範囲内で、患者に照射するX線の強度を小さくすることができる。その結果、診断時に患者が被爆する被爆線量を下げることができるという効果を奏する。

【0065】本発明の請求項2に係る画像センサのデータ処理方法は、2次元行列構造の画像センサのデータ処理方法であって、読み取り動作の開始に先立ってダミーの読み取り周期を加えることによりオフセット補正值の初期値を決定する第1ステップと、第1行の読み取り周期においては、オフセット補正值によりオフセット補正を行って、データ電荷量を決定する第2ステップと、第2ステップで決定された第1行のデータ電荷量から第1行の画素がオフセット補正值に寄与していた量を決定し、先のオフセット補正值から差し引くことで次の行のオフセット補正值とする第3ステップと、第2ステップと第3ステップとを順次繰り返し、予め決定された数の行のデータを読み取った後、次の行の読み取りに先立って新たにダミーの読み取り周期を挿入し、そこで得られた値を新たなオフセット補正值の初期値として用いる第4ステップと、その次の行の読み取り周期においては、第4ステップで得られた値を補正值としてオフセット補正を行って、データ電荷量を決定する第5ステップと、第5ステップで決定された当該行のデータ電荷量から当該行の画素がオフセット補正值に寄与していた量を決定し、先のオフセット補正值から差し引くことでその次の行のオフセット補正值とする第6ステップとを含み、第5ステップと第6ステップとを順次繰り返す方法である。

【0066】これにより、各行に対して順次読み取りを

実行する途中の段階にダミーの読み取り周期を挿入することで、各読み取り時にオフセット補正值に対して発生した誤差が、読み取りの繰り返しのに伴い積算される場合でも、ダミーの読み取り周期を実行するたびに積算された誤差をキャンセルすることができる。したがって、走査線数が非常に大きい画像センサに対しても、誤差を小さくすることができ、より正確な情報を得ることができるという効果を奏する。

【0067】本発明の請求項3に係る画像センサのデータ処理方法は、各画素に形成された蓄積容量と、これら複数の蓄積容量のそれぞれとスイッチ素子を介して接続された読み取り線と、該読み取り線と接続され各画素の電荷量を順次画像データとして読み取る電荷読み取り手段とを有する画像センサのデータ処理方法であって、データを読み取る際、スイッチ素子が全てオフの状態での読み取りを行う期間を追加し、この期間に読み取られた電荷量をオフセット補正值として次の期間において画素の電荷量を読み取る際のオフセット補正に用いる方法である。

【0068】これによると、スイッチ素子が全てオフの状態での読み取りを行うことにより、漏れ電荷に起因するオフセット補正值を求めることができる。このオフセット補正值を用いて、次に画素の電荷量を読み取る際に補正を行うことができる。したがって、漏れ電荷の影響を除去した正確な画像データを得ることができるという効果を奏する。

【0069】本発明の請求項4に係る画像センサのデータ処理方法は、請求項3の画像センサのデータ処理方法において、さらに、第 $k$  ( $k$ は2以上の自然数)回目の画素の読み取りの際には、第 $(k-1)$ 回目の読み取りで得た電荷量に基づき順次更新されたオフセット補正值を用いてオフセット補正を行うことにより、順次画素データを読み取る方法である。

【0070】これによると、読み取ったデータに基づいてオフセット補正值を順次更新することにより、常に適切なオフセット補正值により補正を行うことができる。したがって、繰り返し読み取りを行う場合でも、常に正確な画素データを得ることができるという効果を奏する。

【0071】本発明の請求項5に係る画像センサのデータ処理方法は、請求項3または4の画像センサのデータ処理方法において、さらに、順次画素データを読み取る途中で、再度スイッチ素子が全てオフの状態での読み取りを行う期間を設けて、この期間に読み取られた電荷量をオフセット補正值として次の期間において画素の電荷量を読み取る際のオフセット補正に用いる方法である。

【0072】これによると、読み取りを繰り返す途中に再度漏れ電荷に起因するオフセット値を実際に求めることにより、オフセット補正值を実際の漏れ電荷量で更新することができる。したがって、読み取る画素数が大き

(10)

い場合でも正確な画素データを得ることができるという効果を奏する。

【0073】本発明の請求項6に係る画像センサは、請求項1ないし5のいずれかに記載のデータ処理方法を制御する制御装置を有する構成である。

【0074】これによると、有限のオフ抵抗を有するために漏れ電荷を生じるTFTなどのスイッチング素子を画素に用いた場合であって、一つの読み取り線に接続される画素数が大きく漏れ電荷の影響が無視できないときでも、読み取られた値に対して漏れ電荷の影響を補正して正確な情報を得ることができる。その結果、弱い光であっても良好な精度で検出できる高精度な画像センサを提供することができるという効果を奏する。

【0075】また、特に医療用X線画像診断装置に本発明の画像センサを用いた場合は、照射X線強度が小さく、高精度の画像情報を得ることができる医療用X線画像診断装置を提供することができるという効果を奏する。

【0076】さらに、スイッチング素子のオフ抵抗に起因する漏れ電荷の影響を補正により除去するため、オフ抵抗値が従来より一桁ないしそれ以上低いスイッチング素子を画素に用いた場合でも画像データの精度を保つことができる。したがって、画像センサの生産において、画素に形成するスイッチング素子のオフ抵抗値の許容範囲を広くすることができることにより、画像センサの生産性を向上させ、生産コストを抑制することができるという効果を奏する。また、スイッチング素子のオフ抵抗値は経年変化により低下する傾向にあるが、オフ抵抗値の低下が進んだ状態でも実用上差し支えない性能を維持することができる。したがって、画像センサの寿命を延長することができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の実施の一形態に係る画像センサのデータ処理方法の動作を表すタイミングチャートおよび動作

に対応した電荷感応増幅器(CSA)の出力電位を表すグラフである。

【図2】本発明の実施の一形態に係る画像センサの回路図である。

【図3】一般的な2次元行列構造の画像センサの概略図である。

【図4】図3におけるA-A線矢視断面図である。

【図5】電荷量の読み取りに使われる電荷感応増幅器(CSA)の基本的な構造を表した回路図である。

【図6】電位読み取り回路の基本的な構造を表した回路図である。

【図7】従来のTFTと蓄積容量を含めた1画素当たりの読み取りの等価回路図である。

【図8】従来の読み取り動作のタイミングチャートおよび電荷感応増幅器(CSA)の出力電位を表すグラフである。

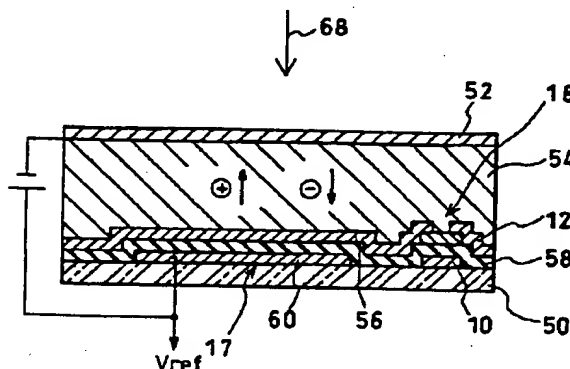
【図9】従来の読み取り線において画素を読み取っているときの等価回路図である。

【図10】従来の読み取り動作のタイミングチャートおよび漏れ電荷を考慮した電荷感応増幅器(CSA)の出力電位の変化を表すグラフである。

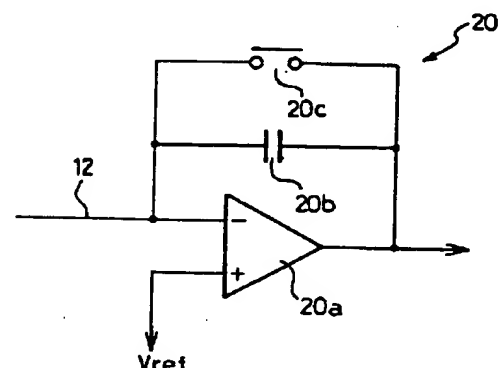
【符号の説明】

- |     |                       |
|-----|-----------------------|
| 10  | 走査線(行線)               |
| 12  | 読み取り線(列線)             |
| 14  | 走査線駆動器                |
| 16  | 読み取り回路(電荷読み取り手段)      |
| 17  | 蓄積容量                  |
| 18  | 薄膜トランジスタ(TFT)(スイッチ素子) |
| 22  | 画素                    |
| 24  | 制御装置                  |
| 24a | 記憶装置                  |
| 24b | 演算装置                  |
| 48  | 画像センサ                 |

【図4】

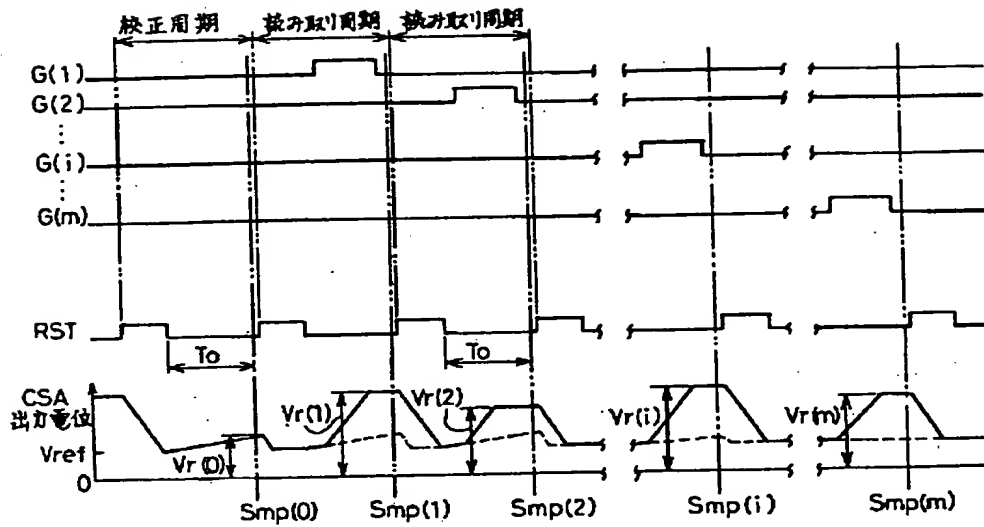


【図5】

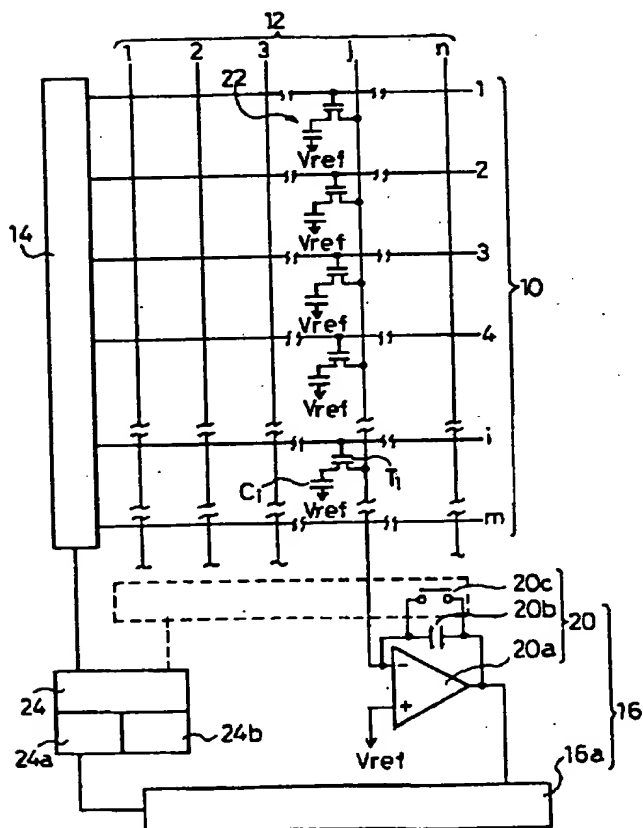


(11)

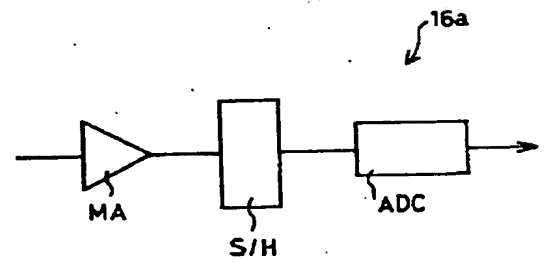
【図 1】



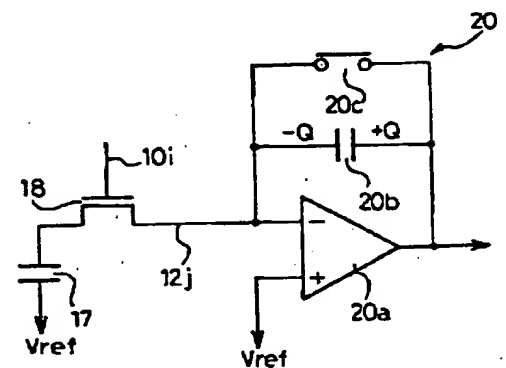
【図2】



【図 6】

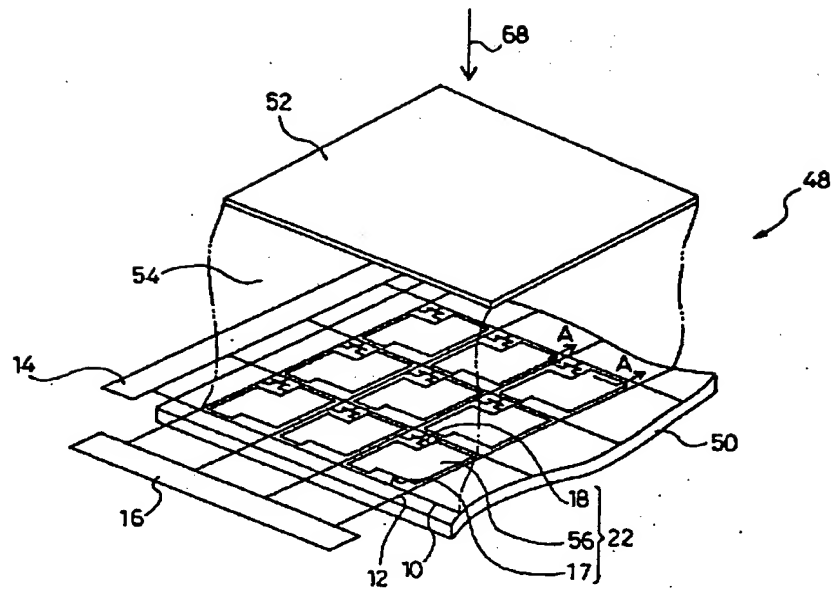


【図7】

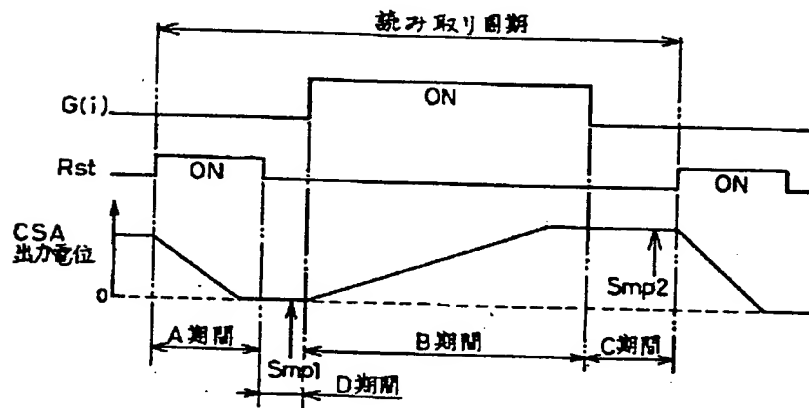


(12)

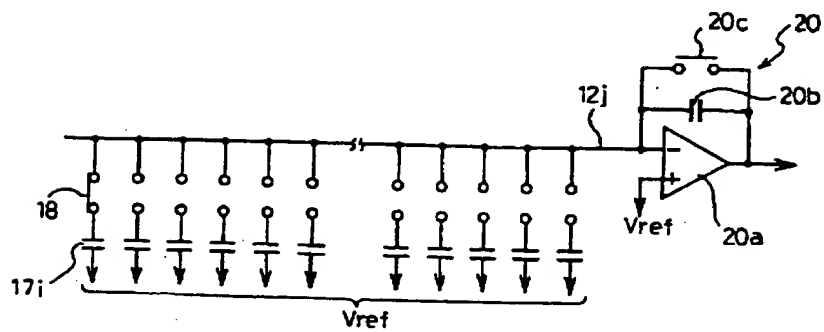
【図3】



【図8】

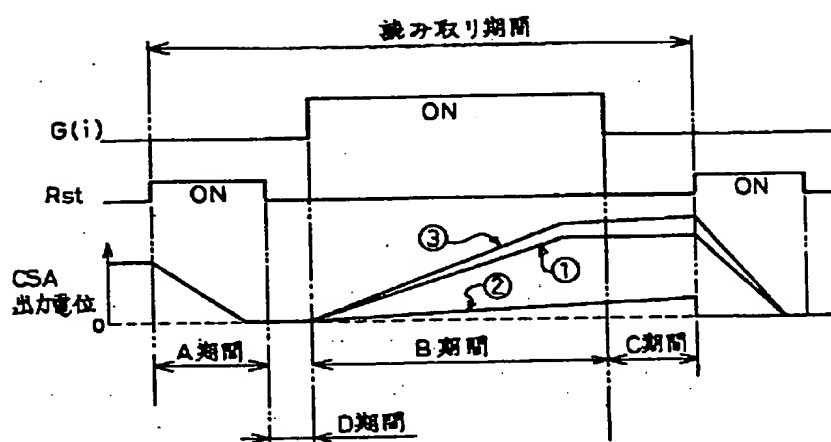


【図9】



(13)

【図10】



**THIS PAGE BLANK (USPTO)**

**THIS PAGE BLANK (USPTO)**